

Kaum sind im vergangenen Jahr die 16-Bit-Mikrocomputer auf breiter Basis in den Markt eingedrungen, ist der Aufbruch in die 32-Bit-Generation schon abzusehen, wie die neuen 32-Bit-Mikroprozessoren NS32032 von National Semiconductor, Motorolas MC68020 und der Z 80000 der Firma Zilog beweisen. Der Vorteil von 32-Bit-Prozessoren liegt vor allem in der optimalen Busauslastung und den effizienteren Befehlen. Durch die verringerte Busbelastung lassen sich Multiprozessorsysteme mit sehr hohem Datendurchsatz realisieren. Da aber jeder zusätzliche Prozessor die Busbelastung wieder erhöht, ist man gezwungen, von einer gewissen Anzahl Systemkomponenten ab auch eine multiple Busarchitektur einzuführen.

Der von der Firma INTEL initiierte Multibus-II-Entwurf ist hier zu erwähnen, da sich ihm viele internationale Hersteller angeschlossen haben und er bereits bei der IEEE zur Normung vorliegt. Eine Lösung des Busproblems läge in der Einführung eines Matrixbusses (nach Art eines Kreuzschienenverteilers), bei dem jede Komponente eines Computers mit jeder anderen Komponente verbunden werden kann. Jedoch

Heinz Ebert

Alle zwei bis drei Jahre vervierfachen sich die Kapazitäten der Speicher-Chips, und auch die 'Gatteransammlungen' in den Prozessor-ICs neuester Generationen werden immer gewaltiger. Aber konzeptionell Neues gab es seit der Einführung des Mikroprozessor-Chips selbst schon 'lange' nicht mehr. Diesen 'Mißstand' wird aber jetzt der von der Firma INMOS in die Welt gesetzte Transputer abstellen. Der Transputer ist ein neuartiges Prozessor-Element, das den Aufbau beliebig erweiterbarer 'busloser' Multiprozessor-Systeme ermöglicht. Programmiert werden einer oder viele gekoppelte Transputer per OCCAM, einer extrem maschinennahen Hochsprache. Ein famoses Konzept, das nach Meinung der Hersteller die Computer-Elektronik in ähnlicher Weise revolutionieren wird wie seinerzeit sein Namenspate, der Transistor.

steht dem der übergroße, kostenträchtige Hardwareaufwand entgegen; so würde ein Rechnersystem mit zweimal 10 Komponenten 100 32-Bit-Busse benötigen.

Ganz allgemein erzeugen busorientierte Rechnerstrukturen außerdem noch Probleme bei der Kommunikation und der Aufgabenverteilung der Systemelemente und verhindern eine weitere Verkleinerung der Arbeitsplatzrechner (Platinen im Doppelpaformat und größer). Daraus resultiert ein erhöhter Hardware- und Software-Aufwand für den Entwickler, und als weitere Folge

wird nicht die maximal mögliche Effizienz erreicht.

Die Firma INMOS geht mit ihrer neuentwickelten Transputerfamilie einen völlig neuen Weg. Die Transputer-Chips sollen den Aufbau konventioneller Systeme vereinfachen und den Mikrocomputer in Bereiche vordringen lassen, die bisher von der Analogtechnik beherrscht werden oder eine Domäne der Mini- und Großcomputer sind (zum Beispiel die Echtzeitverarbeitung von Audio-Signalen). Dazu war es nötig, neue Konzepte und Techniken einzuführen, die erst durch jüngste Fortschritte der Computerfor-

schung und der VLSI-Technologie realisierbar wurden. Folgende Gesichtspunkte beeinflussen das Architektur-Konzept des Transputer:

- optimale Unterstützung paralleler Prozesse
- Vereinfachung der Software-Entwicklung durch eine Sprache für parallele Prozesse
- Vereinfachung der Interprozessor-Kommunikation
- Berücksichtigung von Technologiefortschritten durch zukunftsorientierte Kompatibilität
- Vereinfachung der Hardware-Entwicklung durch Minimierung der Bauteilezahl
- Maximale Leistungsfähigkeit für den Benutzer

Vor allem die Konzeption für parallele Prozesse stellt das revolutionäre Element dieser Superchips dar, da diese es erlaubt, komplizierte und zeitaufwendige Berechnungen auf einfache Weise in viele gleichzeitig auf mehreren Prozessoren ablaufende Verarbeitungsschritte zu zerlegen. Als erstes Bauelement soll Mitte '85 ein 32-Bit-Transputer — der IMS T424 — in Musterstückzahlen erhältlich sein (Tabelle 1).

Anzahl Elemente	250 000
Prozestyp	Poly ² -Silizium-Gate-CMOS
Strukturgröße	2µm
Gehäuse	Keramischer Chip Carrier
Anzahl Anschlüsse	84
Taktfrequenz	5 MHz
Zykluszeit	50 ns
Instruktionsdurchsatz	10 MIPS
32-Bit-Addition	50 ns
32 x 32-Bit-Multiplikation	950 ns
64/32-Bit-Division	1950 ns
Zeit für Kontext-Switch	0,8 µs
Interrupt-Reaktionszeit	2 µs (Maximum)
Zeitgeber	32 Bit mit 1 µs Auflösung
Anzahl Befehle	48
Anzahl serieller bidirektionaler Kommunikationskanäle	4
Datenrate pro Kanal	1,5 MByte/s
Busbreite des Speicherinterface	32 Bit
Datenrate des Speicherinterface	25 MByte/s
Tabelle 1. Übersicht über die Eigenschaften des Transputers IMS T424	

Im Transputer

Der interne Aufbau des IMS T424 spiegelt deutlich die bei seiner Entwicklung berücksichtigten Konzepte wider (Bild 1). Der Transputer befindet sich in einem 84poligen, quadratischen Chip-Carrier-Gehäuse aus Keramik. Auf der Chip-Fläche befinden sich 250 000 elektronische Elemente. Etwa die Hälfte davon bilden ein sta-

tisches 4-KB-RAM, und ein Viertel werden für Schnittstellencontroller benötigt. Der verbleibende Rest steht einer zu 32 Bit organisierten CPU zur Verfügung.

Die beschränkten Ressourcen, also der 'Rest' von rund 60 000 Elementen für die eigentliche CPU, veranlassen die Entwickler, aus der Not eine Tugend zu machen und den Instruktionssatz des Prozessors auf das

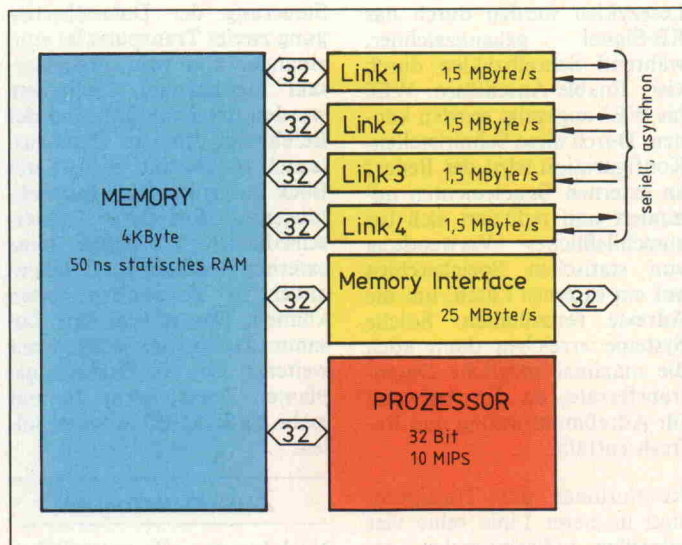


Bild 1. Architektur des Transputers

Notwendigste zu beschränken. Mit seinen 48 Instruktionen gehört der Transputer zu den sogenannten RISC-Maschinen (Reduced Instruction Set Computer). Bei der Konzeption wurden allerdings nur aufwendige Instruktionen eingespart. So wird zum Beispiel ausschließlich die direkte Adressierung angewandt, und im Endeffekt benötigen daher alle Befehle weniger Mikroprogramm- und Speicherzyklen als bei vergleichbaren Mikroprozessoren. Die Zykluszeit beträgt 50 Nanosekunden; dies ist gleichzeitig die Ausführungszeit der schnellsten Befehle, so daß sich eine mittlere Durchsatzrate von zehn Millionen Instruktionen pro Sekunde (10 MIPS) ergibt. Alle Transputer — auch zukünftige Modelle mit größerem Instruktionssatz — werden mit 5 MHz getaktet.

Die CPU enthält acht Register, von denen alle im Gegensatz zu einem allgemeinen Registersatz eine spezifische Funktion ausführen (Bild 2). Drei 32-Bit-Register bilden einen speziellen Stack für arithmetische und andere Datenoperationen. Bei der Ausführung des 'Add'-Befehls zum Beispiel werden die beiden oberen Stack-Register addiert, und das Ergebnis wird wieder im ersten Register abgelegt. Die Instruktionsequenz wird in gewohnter Weise mit einem Befehlszeiger abgearbeitet, der jeweils auf den nächsten auszuführenden Befehl zeigt. Der Workspace-Zeiger enthält die Basisadresse des im internen oder externen Memory beliebig angeordneten Arbeitsspeicher-Bereiches eines Prozesses für Datenspeicherung und -zugriff. Bei jeder Prozeßumschaltung, ausgelöst durch I/O-Aktionen oder Interrupts, wird er mit dem Wert des neuen Prozesses aktualisiert.

Alle Befehle sind in zwei Felder zu je 4 Bit für Operationscode und Operand aufgeteilt. Die Beschränkung der Befehlslänge auf ein Byte erklärt die sehr kurze Zykluszeit von Befehlsholphase und Dekodierung. Mit vier Bit können nur 16 Befehle generiert werden, der Befehlssatz des Transputers besteht jedoch aus 48 Instruktionen. Mit speziellen Präfix-Instruktionen, das sind Befehle, die vor anderen Instruktionen eingefügt werden, ist es möglich, längere Befehle nach einer Art Baukastenprinzip herzu-

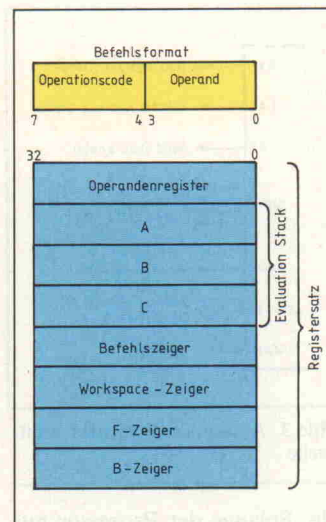


Bild 2. Instruktionsformat und Registersatz des Transputers

stellen. So können zum Beispiel Operanden im Operationsregister in vier Byte-Schritten bis zur vollen Wortlänge zusammengesetzt werden. Dadurch ist es auch möglich, den Instruktionssatz für zukünftige Transputergenerationen auszubauen und gleichzeitig die Kompatibilität mit den bisherigen Bausteinen zu bewahren.

Die Befehle des Transputers werden in zwei Gruppen eingeteilt. Die Null-Adreß-Instruktionen, also Anweisungen ohne Adreßteil, arbeiten alle CPU-intern nur mit dem Drei-Register-Stack als Operanden. Bei der Ausführung einer Addition zum Beispiel werden die beiden oberen Stack-Register summiert, und das Ergebnis wird im ersten Register gespeichert. Die 13 vorhandenen Ein-Adreß-Instruktionen dienen dem Datenverkehr zwischen Memory und Registern. Sie ermöglichen das Laden und Speichern von Variablen und Konstanten.

Die Kontrolle von Prozessen erfolgt durch eine Warteschlange, deren Anfang und Ende mit dem F- beziehungsweise B-Zeiger verwaltet werden. Die Bearbeitung der Warteschlange wird von der CPU übernommen, so daß eine beliebige Zahl simultaner Tasks in einem Transputer ablaufen kann.

in memoriam

Das interne (4 KByte) statische RAM besitzt eine Zugriffszeit von 50 Nanosekunden und ermöglicht eine maximale Datenrate von 80 MByte pro Sekun-

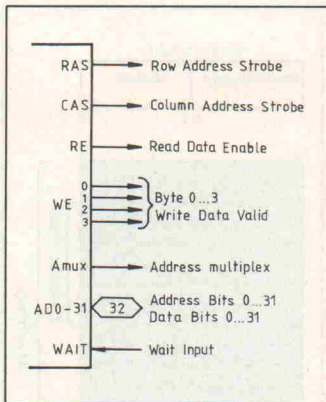


Bild 3. Aufbau der Speicherschnittstelle

de. Solange der Prozessor nur diesen Speicher benutzt, was von der Programmgröße und der Programmierung abhängt, braucht er keine Wartezyklen einzufügen. Der Zugriff auf den Speicher wird durch einen Arbitrer nach Prioritäten gesteuert.

Die CPU wird bei den Befehls-Zugriffen durch eine Pipeline entlastet. Eine Pipeline (nicht zu verwechseln mit der Prozeß-Warteschlange) ist eine vorausschauende Sammlung von Befehlen in verschiedenen Stadien der Ausführung. Während ein Befehl ausgeführt wird, bereitet die Pipeline bereits die folgenden Instruktionen für die Ausführungsphase vor (zum Beispiel für die Dekodierung), so daß die Schnelligkeit der CPU voll ausgenutzt werden kann. Durch entsprechende Programmierung (beispielsweise durch eine virtuelle Speicher-verwaltung, Seitenwechsel-Algorithmen mit Zuletzt-Benutzt-Strategie) kann man erreichen, daß der Prozessor fast ausschließlich auf den schnellen chip-internen Speicher zugreift und so stets mit maximaler Effizienz arbeitet. Das interne Memory ist in die Mitte des verfügbaren Adreßraums verlegt, so daß der externe Speicher unterhalb und/oder oberhalb angesiedelt werden kann.

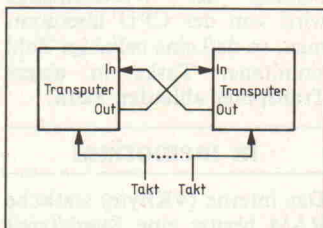


Bild 4. Aufbau der chip-internen seriellen Kommunikationskanäle (INMOS-Links)

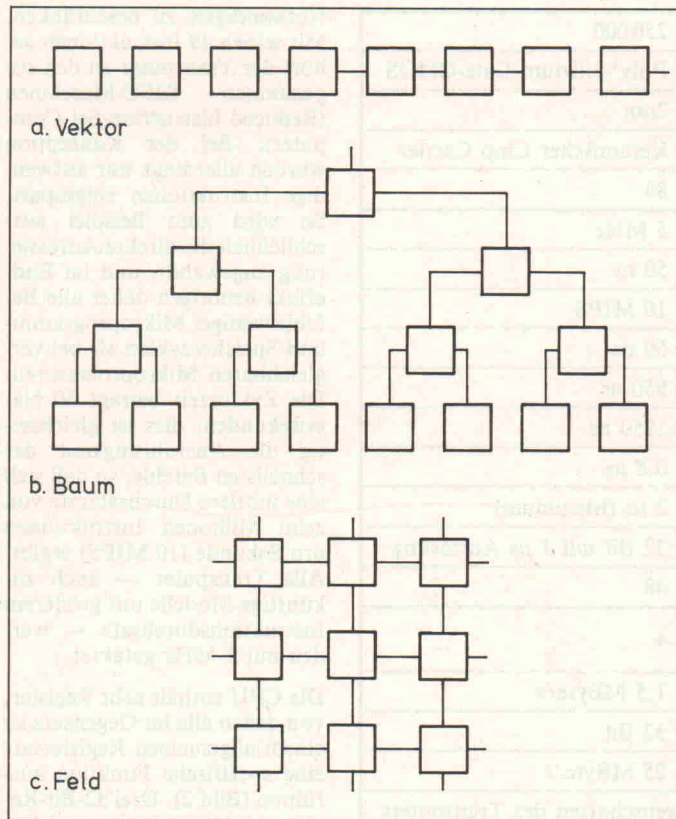


Bild 5. Beispiele für mögliche Transputer-Netzwerke

Auf dem Transputer-Chip befinden sich zwei verschiedene Arten von Schnittstellen-Controllern, die miteinander und unabhängig vom Prozessor parallel arbeiten können. Die Datenpfade zwischen Prozessor und Speicher sowie Prozessor und Kommunikations-schnittstellen sind logisch und physikalisch voneinander getrennt. Auf diese Art und Weise lassen sich die Engpässe von Multiprozessor-Systemen vermeiden, deren Datenaustausch auf busähnlichen Strukturen beruht. Ebenso läßt sich der Bedarf an externen Bausteinen vermindern und jedes einzelne Interface auf höchste Effizienz optimieren (Bild 1).

Die erste Verbindung zur Außenwelt ist ein 32-Bit-Speicherinterface mit gemultiplextem Adreß- und Datenbus. Die Datenübertragungsrate über dem linearen Adreßraum von 4 Gigabyte beträgt maximal 25 Megabyte pro Sekunde. Der Controller kann entweder dynamische oder statische Speicher-ICs unterstützen, da er die Steuersignale für Bausteine mit Multiplex-Adreßanschluß oder direkter Adressierung generiert und das Zeitverhalten durch das externe Wartesignal WAIT

kontrolliert werden kann (Bild 3). Die Memory-Interface-Signale RAS, CAS, AMUX und RE sind frei programmierbar, auch der Typ des Speicherzyklus kann programmiert werden. Für dynamische Bausteine mit Multiplexadreßbus wird ein Refresh-Signal generiert. Bei langsamen Speichertypen können die Zugriffs- und Zykluszeiten softwareseitig in kleinen Inkrementen variiert werden. Ebenso läßt sich auch die Refresh-Frequenz anpassen. Lesezyklen werden durch das RE-Signal gekennzeichnet, während Schreibzyklen durch vier Enable-Anschlüsse WE0 bis WE3 angezeigt werden können. Durch diese Schnittstellen-Konfiguration wird der Bedarf an externen Bauelementen minimiert und reduziert sich bei ausschließlicher Verwendung von statischen Speicherchips auf ein externes Latch, um die Adresse festzuhalten. Solche Systeme erreichen dann auch die maximal mögliche Datentransferrate, da der Aufwand für Adreßmultiplexing und Refresh entfällt.

Revolutionär am Transputer sind in erster Linie seine vier schnellen bidirektionalen, seriellen Kommunikationskanäle

— INMOS-Links genannt, die jeweils zwei Anschlüsse für den Eingang und Ausgang am Bausteingehäuse belegen (siehe Bild 1). Für den Datenaustausch

Revolutionär mit Links

verbindet man die zugehörigen Ein- und Ausgänge der beteiligten Bausteine über Kreuz (Bild 4). Dies ist zwingend vorgeschrieben, da das Übertragungsprotokoll auch bei unidirektionaler Kommunikation eine Bestätigungsmeldung an den Sender vorsieht.

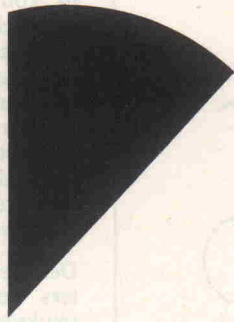
Bei der Ausführung eines Reset wird die Standard-Datenrate von 10 Megabit pro Sekunde eingestellt, die per Programm auf maximal 20 Megabit pro Sekunde (= 1,8 MByte/s) geändert werden kann. Die maximale Datenrate kann nur bei kurzen Distanzen benutzt werden und ist daher für die direkte, effiziente Verknüpfung von Transputern zu Netzwerken vorgesehen (Bild 5).

Durch die vier Links werden beliebig große lineare und zweidimensionale Prozessorstrukturen möglich, die an die zu verarbeitenden Datenstrukturen und Problembereiche optimal angepaßt werden können. Die Schnittstellen sind TTL-kompatibel, und ihre Reichweite kann leicht durch Standard-Treiber (RS 422/423) vergrößert werden. Somit kann auch eine Verteilung eines Rechnerverbundes über eine größere räumliche Entfernung aufgebaut werden, ohne den heute noch üblichen teuren Hardware-Aufwand. Die zeitliche Steuerung der Datenübertragung zweier Transputer ist voneinander und vom Prozessor-takt unabhängig, außerdem wurden das Protokoll und der Befehlssatz für den Datenaustausch so gewählt, daß — mit Blick auf zukünftige Entwicklungen — Prozessoren unterschiedlicher Wortlänge ohne externen Logikaufwand miteinander in Verbindung treten können. Das erlaubt eine Zusammenarbeit der jetzigen mit weiteren für die Zukunft geplanten Transputern, die mit mehr als 25 MIPS arbeiten sollen.

Zusammenspiel

Nachdem nun alle wesentlichen Hardware-Komponenten be-

HMP III/Graphik — Computer für Ihre Graphik/CAD-Anwendung



1000 x 600
Das kann man
nicht abbilden

Techn. Daten (Standard):
Z80 A/B, 4/6 MHz, 64 KB RAM, 32 KB EPROM
5 parallele, 2 serielle Schnittstellen
1 Multiuser-Netzwerk-Schnittstelle
2 Floppy-Anschlüsse 8" 1/5 1/4"
1 SASI Schnittstelle (Winchester)
Bildschirm 14 Zoll grün
Bildschirmspeicher 256 KB RAM
Auflösung 1000*600 Punkte (opt. 2000*2000)
Zeichendarstellung 80*24 und 80*35 Zeichen
Statuszeile abschaltbar
Zeichensätze gemischt 8*20 und 8*13 Matrix
Kursivschrift, Zoom-Schrift, etc.
Punkt hell/dunkel-, Vektor-, Kreis-, etc. Funktionen.



Mikrolab GmbH
Mikroprozessordaten
Verarbeitung
Mikroprozessorklabor
6957 Elztal-Dallau
Kessergasse 1
Tel. 0 62 61/1 44 48

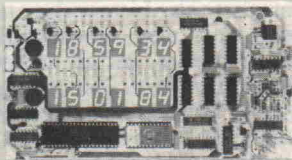
Arbeitsplatz **6 500,— + MWSt.**
Rechner mit
2 Diskettenlaufwerken **ab 8 500,— + MWSt.**

Vertr.: H. Bambula Datentechnik, Talstr. 38,
6951 Limbach-Wa., Tel. 0 62 74/66 80

RENKFORCE® - Atomic-Clock-System „ACS-77“:

Tausendfach bewährt!

- Zeitabweichung 1 s in 300 000 Jahren!
- 12stellige Anzeige für Zeit und Datum gleichzeitig
- Funkgesteuert durch Sender „DCF-77“ - kein Stellen mehr!
- Anmelde- und gebührenfrei nach Amtsblatt 34
- 32 Termine beliebig programmierbar, sekundengenau auf Jahre im voraus, zwei getrennte Relaisausgänge
- Kein Bausatzrisiko, abgeglichen und mit Funktionsgarantie
- Gegen Aufpreis auch mit BCD-Ausgang (auf Anfrage)
- Stundengong-Steuerung wahlweise gegen Aufpreis auf Minuten umstellbar



Fertigbaustein „ACS-77“
mit Anleitung (Abm. 104 x 198 mm)

DM 219,-
dazu passend:
Netztrafo HT 1-10,5 DM 10.90
Gongbaustein SAB 0601 DM 11.90
Gehäuse mit Frontsch. DM 69.50
Relais A 101/12 DM 4.90
(Bitte 2 Stück bestellen)



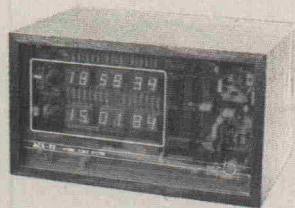
Postfach 53 20
33 Braunschweig
Telefon (05 31)
9 79 51
Telex 9 52 547

Versand: ab Braunschweig, bei 200,-
DM Auftragswert porto- und
verpackungsfrei.

Unsere Funkuhr zum Sensationspreis!

- Anschlußmöglichkeit für elektronischen Stundengong und ASCII-Steuerung für Mikrocomputer
- Quarzeitbasis überbrückt Empfangsstörungen
- Nachrüstbar für 1 1/2-Std.-Notstrom-Versorgung (7x Mignon-Akku). Hält bei Stromausfall alle 32 Weckzeiten. Ladegerät eingebaut!
- Ausführliche Anleitung, 6 Monate Garantie vom deutschen Hersteller

Sofort einsatzbereit!



Fertigergerät „ACS-77“

Betriebsfertig montiert in schwarzem Holzgehäuse mit Steckdosen.
B x H x T: 220 x 125 x 150 mm

DM 398,-

Unser 324seitiger ELECTRONIC-KATALOG 84/85 und vierteljährliche SONDERLISTEN informieren Sie kostenlos, bitte anfordern!

Seit Jahrzehnten ein Begriff für Elektronik-Interessierte!

Ladengeschäft: Braunschweig/Bielefeld/Bremen/Hannover/Hamburg/Köln.

Ihr Partner für CAD-CAE-CAM

Wir liefern nicht nur:

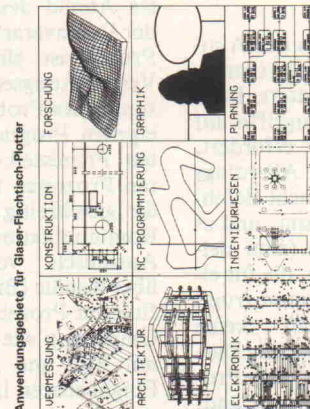
CAD-Systeme
CAD-Software
Plotter A4 bis A0
Photoplotter und Digitizer

sondern bieten auch:

Beratung und Schulung
Hardware-Service
Software-Support
Peripherie-Anpassung
Leasing und Finanzierung

und 8 Jahre Erfahrung mit
Micro-Computern

Abt. CAD/CAE
Struthstraße 8 · Postfach 11 11
D-6486 Brachtal
Telefon (06053) 97 66



Anwendungsgebiete für Glaser-Flächplotter

BAEHR

COMPUTER-SYSTEME

handelt wurden, ist es wohl angebracht, einmal genauer zu klären, wie abhängig oder unabhängig die Bestandteile voneinander sind. Die Links bilden die einzige Verbindung eines Transputers mit einem (benachbarten) anderen. Das heißt explizit, der immens große Speicherbereich von 4 Gigabyte steht jedem Transputer ganz allein zur Verfügung. Denn jede Verbindung der Speicher untereinander oder gar eine teilweise gemeinsame Nutzung wäre sozusagen ein 'Rückfall in die Zeiten altmodischer Multiprozessor-Bussysteme'. Wieviel von diesem riesigen Adreßraum man allerdings in der Praxis wirklich nutzt, hängt von der jeweiligen Problemstellung ab. Typischerweise wird man aus Kosten- und Geschwindigkeitsgründen daran interessiert sein, mit dem internen 4-KB-Speicher auszukommen.

Um in einem Transputer-Netzwerk, beispielsweise einer 10*10-Matrix, von einem 'außen' liegenden Transputer Daten oder Programme zu einem 'innen' liegenden zu transferieren, verwendet man nur die Link-Kanäle. Leider ist es dabei aber nicht möglich, sozusagen eine Direktverbindung von Transputer X1/Y1 zu Transputer X5/Y5 (unter Benutzung der Links der dazwischenliegenden Transputer) herzustellen. So autark sind die Links (noch?) nicht. Es können prinzipiell immer nur zwei physikalisch benachbarte — also über Links verbundene — Transputer miteinander kommunizieren. Das hat zur Folge, daß alle Transputer, die auf der Strecke zum Zieltransputer liegen, die gesamte Transfer-Datenmenge in ihren Speicher laden und diese anschließend an den Speicher des nächsten Transputers übergeben müssen.

'Völlig losgelöst' von den Aktivitäten der CPU eines kommunizierenden Transputers kann ein Vorgang, der Zugriffe auf den Arbeitsspeicher erfordert, natürlich nicht sein. Allerdings hält die CPU bis zu acht Befehle in der Pipeline parat, und es gibt diverse Befehle (zum Beispiel Multiplikation), die für einen 'längeren' Zeitraum (rund eine Mikrosekunde) keine RAM-Zugriffe erfordern. Darüber hinaus hat es der Programmierer selbst in der Hand, Datentransporte vorwiegend über Transputer zu leiten, die

von ihrem Programm her schnelle Kommunikation erleichtern.

Auch kann ein Link nicht von sich aus mit dem Link eines benachbarten Transputers kommunizieren. Die Links können sich allerdings gegenseitig 'Kommunikationswünsche' übermitteln und bestätigen. Aber erst wenn beide Transputer auf einen Kommunikationssteil in ihrem Programm (eigentlich sollte man von Prozeß reden) auflaufen, kann der Transfer losgehen. Mit den Transfer-Parametern und der Durchführung des Transfers haben die CPUs allerdings absolut nichts mehr zu tun. Das machen die Links und die Speicherinterfaces untereinander aus.

Fazit: Es gibt also durchaus Abhängigkeiten zwischen CPU-Aktivität und Datentransfer.

Ein Transputer, dessen sämtliche Ein-/Ausgabe-Schnittstellen gleichzeitig aktiv sind, besitzt aber dennoch (nach Angaben von INMOS) eine totale E/A-Bandbreite von $8 * 1,5 = 12$ Megabyte pro Sekunde ohne nennenswerte Belastung der Speicherzugriffs-Steuerung, so daß die Arbeit des Prozessors bei der Befehlsausführung kaum beeinträchtigt wird. Die Kommunikation mit anderen Ein-/Ausgabe-Einheiten (also vor allem Parallelports) muß über memory-mapped I/O abgewickelt werden, was aber bei dem zur Verfügung stehenden Adreßraum von 4 GByte nicht sonderlich ins Gewicht fällt. Die INMOS-Links selbst können auch als serielle Schnittstellen zur Außenwelt fungieren.

Kanalarbeiter

Der Transputer stellt ein direktes Abbild des Prozeßmodells der Datenverarbeitung dar. Ein Prozeß ist eine unabhängige Verarbeitungseinheit zur Lösung eines Problems mit seinen eigenen Programmen und Daten. Prozesse können mit anderen Prozessen kommunizieren, die gleichzeitig aktiv sind. Die Kommunikation erfolgt durch Austausch von Meldungen über Kanäle (Bild 6). Ein so definierter Prozeß wirkt auf seine Umgebung wie eine Black Box mit Ein- und Ausgängen, die Eingabedaten in Ausgabedaten transformiert.

Durch das Kanalkonzept kön-

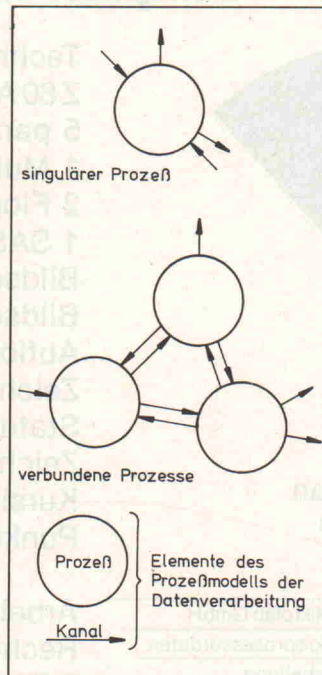


Bild 6. Beispiele von Prozeßstrukturen

nen mehrere Prozesse miteinander verbunden werden, und man kann so komplexere Systeme nach Art eines Baukastens erzeugen. Diese zusammengehörigen Prozesse bilden selber wieder einen aus ebendiesen Prozessen als diskreten Elementen aufgebauten Prozeß (Bild 7), dessen Eigenschaften aus dem nach außen sichtbaren Verhalten seiner Komponenten abgeleitet werden kann.

Der Transputer ist so entworfen worden, daß mehrere Prozesse gleichzeitig auf ihm ablaufen können. Ein einzelner

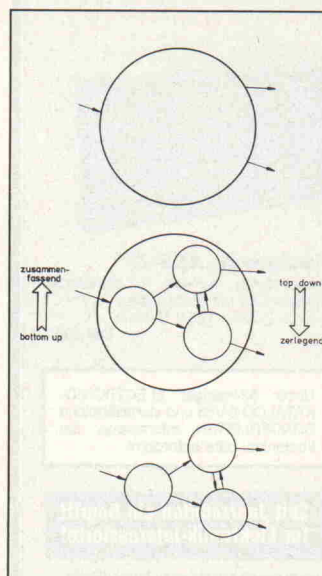


Bild 7. Strukturierung von Prozessen

Transputer führt Programme in konventioneller Weise sequentiell aus, so daß sich alle gleichzeitig aktiven Prozesse die Zentraleinheit und die Prozessorzeit teilen müssen. Ein Novum ist allerdings, daß die Verwaltung dieser Ressourcen durch einen in die Hardware integrierten Algorithmus ausgeführt wird.

Der Befehlssatz des Transputers enthält daher einige Instruktionen für die Verwaltung von Prozessen und deren Kommunikation untereinander. Diese beiden Aufgabenbereiche sind voneinander abhängig, da ein Prozeß deaktiviert werden muß, wenn er Daten an einen dafür nicht bereiten Prozeß senden oder von einem inaktiven Prozeß Daten holen möchte.

Um einen Transputer effizient zu betreiben, um also die CPU permanent unter Volldampf zu halten, kann es daher durchaus sinnvoll sein, immer mehrere Prozesse auf einem Transputer abzuwickeln. Die Wartezeit auf Daten von anderen Prozessen kann dann sinnvoll ausgefüllt werden. Vielfach wird derartige Leerlauf (der übrigens nach Aussagen von INMOS minimal sein soll) für Kommunikationsprozesse genutzt.

Jedem Prozeß steht im Speicher ein Arbeitsbereich (Workspace) zur Verfügung. Diese Bereiche sind durch Zeiger zu einer einfach verketteten linearen Liste verknüpft (Bild 8). Jeder Workspace enthält einen NEXT-Zeiger, der auf den Arbeitsbereich des nachfolgenden Prozesses hinweist. Der WORKSPACE-Zeiger deutet auf den Arbeitsspeicher des augenblicklich aktiven Prozesses. Der F-Zeiger (Front) fungiert als Listenanker und zeigt auf den Arbeitsbereich des Prozesses, der als nächster ausgeführt wird. Der B-Zeiger (Back) indiziert den Arbeitsbereich des letzten Prozesses in der Warteschlange, damit auch das Ende der Schlange im 'direkten' Zugriff schnell gefunden werden kann.

Bei jeder Prozeßumschaltung wird der augenblicklich aktive Prozeß als Letzter in die Warteschlange eingereiht und der im F-Register befindliche Prozeß gestartet. Dazu wird der Inhalt des Befehlszeigers im dazugehörigen aktuellen Workspace abgelegt. Dann wird der

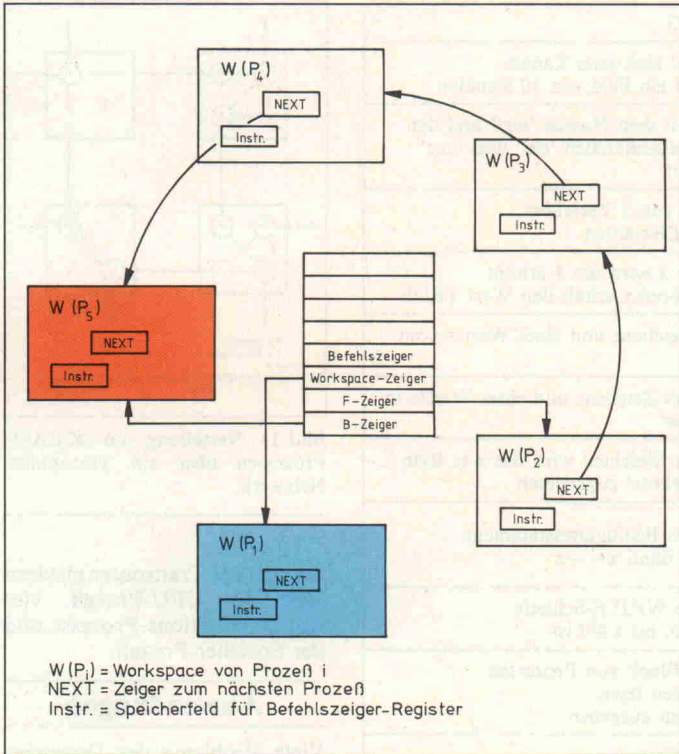


Bild 8. Aufbau der Prozeßverwaltung

WORKSPACE-Zeiger in die NEXT-Zelle des derzeit letzten Prozesses gespeichert und der B-Zeiger umgesetzt. Danach wird der durch den F-Zeiger adressierte Prozeß bearbeitet, wobei zuerst die CPU-Register (Workspace und Befehlszeiger) entsprechend geladen werden und anschließend der F-Zeiger

aktualisiert wird. Auf diese Weise wird jeder Prozeß reihum einmal Kopf der Warteschlange. Bild 9 zeigt die Warteschlange von Bild 8 nach einem Prozeßwechsel.

Der Transputer unterstützt zwei Prioritätsebenen — Prozesse der Priorität 0 und 1. Für

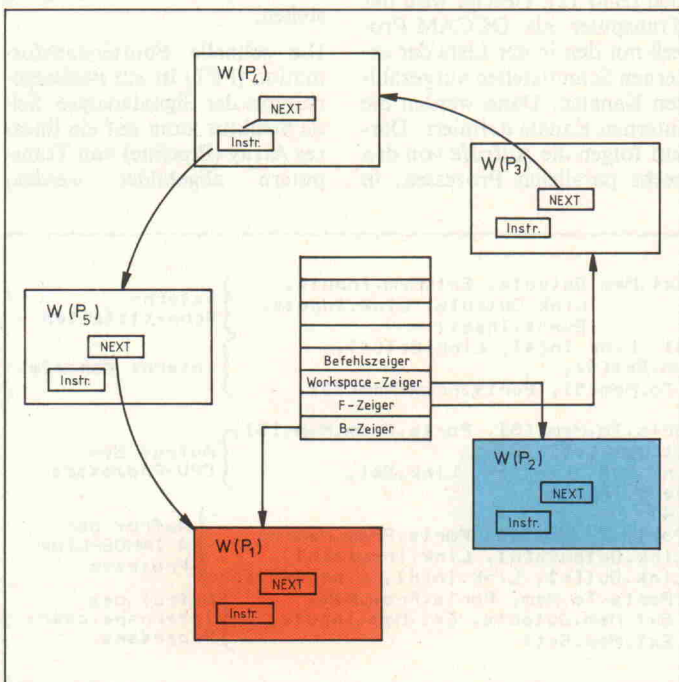


Bild 9. Prozeßkonfiguration von Bild 8 nach einer Prozeßumschaltung

```

PROC mult ( CHAN auf, ab, rechts, links ) =
  VAR r, a, b;
  SEQ
    r:=0
    SEQ i = [ 0 FOR n ]
      PAR
        auf?a
        links?b
        r:=r+(a*b)
        PAR
          ab!a
          rechts!b;

CHANS vertical [n*(n+1)];
CHANS horizontal [n*(n+1)];
PAR
  PAR j=[ 0 FOR n ]
    mult ( vertical [(n*i)+j],
           vertical [(n*i)+j+1];,
           horizontal [(n*i)+j],
           horizontal [(n*(i+1))+j] )
  
```

Bild 10. Segment aus einem OCCAM-Programm

jede Ebene wird eine eigene Warteschlange geführt. Prozesse der Prioritätsebene 1 kommen nur dann zum Zuge, wenn keine höherpriorisierten Prozesse aktiv sind. Wird ein Prozeß der Ebene 1 von einem der Ebene 0 unterbrochen oder ist kein priorisierter Prozeß aktiv, so wird die Kontextumschaltung typischerweise in 600 Nanosekunden (maximal in 2000) vollzogen.

Transputer-Sprache OCCAM

Der Transputer kann mit Hilfe der meisten Standardsprachen programmiert werden, aber seine speziellen Fähigkeiten, den Engpaß der herkömmlichen von-Neumannschen-Architektur zu überwinden, kommen erst dann zur Geltung, wenn man die von INMOS für parallele Prozesse entwickelte Programmiersprache OCCAM verwendet. Die Transputerarchitektur ist so ausgelegt, daß OCCAM optimal ausgeführt werden kann. Das bedeutet, daß kompilierter OCCAM-Code genauso effizient ist wie 'handkodierter' Assemblercode.

Versuche der Firma INMOS haben ergeben, daß man bei bestimmten Problemen durchaus geringfügig kompakteren Code erhält, wenn man direkt in Assembler programmiert (Größenordnung fünf Prozent). Es dürfte aber unmittelbar einsehbar sein, daß Netzwerke mit

-zig Transputern und diversen Prozessen, die ja auch noch mehrfach je Transputer ablaufen können, Probleme sind, die nach einer Lösung per Hochsprache verlangen. So betrachtet dürfte OCCAM zu den effizientesten Hochsprachen überhaupt zählen.

Diese neue Programmiersprache kann neben der eigenständigen Programmierung von Algorithmen auch als Betriebssystemersatz Module anderer Programmiersprachen für den Echtzeitbetrieb miteinander verbinden, so daß der Bedarf eines expliziten Betriebssystems entfällt; ein nicht unerheblicher Kostenfaktor kann so reduziert werden.

OCCAM enthält für die Bearbeitung paralleler Aufgaben spezielle Sprachelemente, die es erlauben, ein System als eine Menge gleichzeitiger Prozesse zu definieren, die durch Kanäle miteinander kommunizieren können. Drei primitive Prozesse bilden die Basis von OCCAM:

- Assignment → Veränderung des Wertes einer Variablen
- Input → einen Wert von einem Eingabekanal lesen
- Output → einen Wert in einen Ausgabekanal schreiben

Um die zeitliche Anordnung von Prozessen zu definieren,

SPRACHELEMENT	BEISPIEL	ERKLÄRUNG
KANAL-VEREINBARUNG	CHAN ein,aus: CHAN eingange [10];	'ein' und 'aus' sind zwei Kanäle 'eingange' ist ein Feld von 10 Kanälen
PROZESS-VEREINBARUNG	PROC test(CHAN ein,aus) = {Prozeßkörper}	Ein Prozeß mit dem Namen 'test' und den zwei Schnittstellenkanälen 'ein' und 'aus' wird vereinbart
VARIABLEN-VEREINBARUNG	VAR x,bool.x,Zeichen VAR Vektor [100]	Vereinbarung von 3 Variablen, Feld mit 100 Elementen
ZUWEISUNG	x: = x + 1 bool.x: = TRUE	Der Wert von x wird um 1 erhöht Die Variable bool.x erhält den Wert TRUE
EINGABE	ein?Zeichen,x	Lesen eines Zeichens und eines Wertes vom Kanal 'ein'
AUSGABE	aus!Zeichen,x	Schreiben eines Zeichens und eines Wertes in den Kanal 'aus'
ZUGRIFF auf ein BYTE	Zeichen: = Vektor[BYTEx]	Der Variablen 'Zeichen' wird das x-te Byte des Feldes 'Vektor' zugewiesen
BEDINGUNG	IF x < 0 x: = x - 1	herkömmliches Bedingungsstatement Wenn (x < 0), dann x ← x - 1
SCHLEIFE	WHILE x > 0 ein?x	herkömmliche WHILE-Schleife Lies solange, bis x ≤ 0 ist
SEQUENZ	SEQ ein?Zeichen aus!Zeichen	Sequentieller Block von Prozessen zuerst Zeichen lesen dann Zeichen ausgeben
PARALLELITÄT	PAR i = [0 FOR 100] Vektor[i]: = 0	100 parallele Prozesse jeder Prozeß setzt ein Element des Feldes 'Vektor' auf den Wert 0
ALTERNATIVEN	ALT i = [0 FOR 10] eingange[i]?Zeichen aus!Zeichen	10 gleichberechtigte Prozesse der erste aktive Kanal und sein Prozeß werden bedient das gelesene Zeichen wird ausgegeben

Tabelle 2. Ausschnitt aus der OCCAM-Syntax

wurden die folgenden drei Konzepte explizit eingeführt:

- Sequence → sequentielle Abarbeitung von Prozessen
- Parallel → gleichzeitige Abarbeitung von Prozessen
- Alternative → der Prozeß, dessen Leitbedingung zuerst wahr ist, wird ausgeführt

Einrückungen (um 2 Spaces) sind fester Bestandteil der Syntax und werden verwendet, um eine Menge von Prozessen 'einzuklammern', die dann einen übergeordneten, zusammengesetzten Prozeß bilden. Die iterative Synthese von Prozessen kann auch durch Modularisierung erreicht werden. Die Module werden durch einen Prozeßnamen und eine Schnittstellenbeschreibung definiert. Tabelle 2 zeigt einen Ausschnitt der Syntax von OCCAM, und Bild 10 stellt ein Code-Segment aus einem OCCAM-Programm dar.

Die in einem OCCAM-

Programm implementierten Prozesse können in einem einzelnen Transputer oder über ein Netzwerk von Transputern 'verstreut' ausgeführt werden (Bild 11). Bei optimaler Zerlegung einer Datenverarbeitungsaufgabe in parallele Prozesse über ein an den Algorithmus angepaßtes Array von Transputern können Datendurchsätze erzielt werden, wie man sie heute nur von Großcomputern

kennt. Da der Transputer im wahrsten Sinne des Wortes eine OCCAM-Maschine ist, kann er selbst auch mittels der OCCAM-Syntax definiert werden (Bild 12). Gezeigt wird der Transputer als OCCAM-Prozeß mit den in der Liste der externen Schnittstellen aufgezählten Kanälen. Dann werden die internen Kanäle definiert. Darauf folgen die Aufrufe von den sechs parallelen Prozessen, in

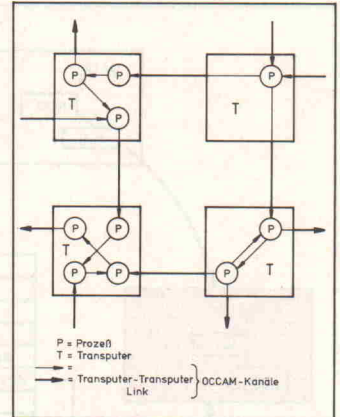


Bild 11. Verteilung von OCCAM-Prozessen über ein Transputer-Netzwerk

die sich der Transputer gliedern läßt: der CPU-Prozeß, vier Kommunikations-Prozesse und der Speicher-Prozeß.

Anwendungen

Viele Probleme der Datenverarbeitung sind als parallele Prozesse strukturierbar und daher eine Domäne des neuen Superchips 'Transputer'. Beispielsweise verlangen Datenbanksysteme oder die Echtzeit-Signalanalyse hohe Datendurchsatzraten von der verwendeten Hardware. Transputer-Netzwerke können in ihrer Struktur bestmöglich an das zugrundeliegende Problem angepaßt werden und so die nötige Datenverarbeitungsgeschwindigkeit zur Verfügung stellen.

Die schnelle Fouriertransformation (FFT) ist ein Basisalgorithmus der Signalanalyse. Seine Struktur kann auf ein lineares Array (Pipeline) von Transputern abgebildet werden.

```

PROC T424 (CHAN Ext.Mem.Outputs, Ext.Mem.Inputs,
           Link.Outputs, Link.Inputs,
           Event.Input) =
    CHAN Link.Out[4], Link.In[4], Link.Set[4],
           Ext.Mem.Set[4],
           Ports.To.Mem[5], Ports.From.Mem[5];
    PAR
        PROCESSOR (Ports.To.Mem.[5], Ports.From.Mem.[5],
                  Ext.Mem.Set,
                  Link.Out, Link.In, Link.Set,
                  Event.Input)
        PAR n=[1 FOR 4]
            LINK.CONT (Ports.To.Mem[n], Ports.From.Mem[n],
                      Link.Outputs[n], Link.Inputs[n],
                      Link.Out[n], Link.In[n], Link.Set.[n])
            MEM.INT.CONT (Ports.To.Mem, Ports.From.Mem,
                        Ext.Mem.Outputs, Ext.Mem.Inputs,
                        Ext.Mem.Set)
    
```

Bild 12. Definition des Transputers als OCCAM-Prozeß

MICRO COMPUTER SYSTEME

Brandenburgische Str. 39
1000 Berlin 15
Tel. (030) 892 20 63



Komplett:
6998,-

Der Paketpreis von DM 6998,- incl. MwSt. beinhaltet: GENIE-16B mit Software, NLQ-Drucker KX-P1091, Monochrom Monitor, sowie Drucker- und Monitorkabel

GENIE 16

IBM-PC kompatibler Computer: 8088 CPU, Sockel für 8087, 128K RAM, 64K ROM, 16 Farben, 640x200 Pixel, freie Tastatur, zwei 360K Laufwerke, RGB/BAS Monitor-, TV-, Drucker-, Joysticks- und Lightpenanschluss, RS-232C; 6 Steckplätze, MS-DOS 2.11 incl. Software: Perfect-Calc., -Writer, -Filer oder TOP-TIP: **5698,-**

GENIE-16A (ohne Floppy): **2198,-**
GENIE-16A mit einem Laufwerk: a.A.

Sanyo MBC 550/555

8088 CPU mit 128K RAM erw. auf 256K, 48K Video RAM, 8K ROM, 8 Farben bei einer Auflösung von 640x200 Punkten, RGB/BAS Monitor-, Joysticks- u. Druckeranschluss. 1x160K Laufwerk und MS-DOS: **3598,-**

MBC-555 mit 2x160K Laufwerke: **4398,-**

MBC-555 mit 2x320K Laufwerke: **4998,-**

olivetti M24

Der turbo PC mit 8 MHz 8088 CPU und 640x400 Pixel Grafik: ab **4698,-**

Panasonic KX-P1091 Matrix Drucker

Die neue Drucker Preis-/Leistungs-kategorie

- für alle IBM-PC's und kompatibel ! Sie haben die Wahl: Epson oder IBM Zeichensatz; Grafik oder Near Letter-Quality, Proportionalschrift; Traktor oder Einzelblatt. Alles mit einem Drucker durch Software oder Schalter einstellbar! Schalter leicht zugänglich. Farbband für mehr als 3 Mill. Zeichen.

KX-P1091 120 Zeichen/sec.: **1198,-**
KX-P1092 180 Zeichen/sec.: **1598,-**
KX-P1090 96 Zeichen/sec.: **898,-**
KX-08P DIN-A4 Farbplotter: **1998,-**
TA Typenradrunder TRD 7020 IBM-kompatibel, 20 Zeichen/sec. im Shannontext, Plottfähig: **1498,-**

MONITORE (IBM-kompatibel)

Taxan KX-1202 22MHz grün(P39): **428,-**
Taxan KX-1203 22MHz amber: **438,-**
Taxan Vision-II RGB 12" 0.43P.: **1248,-**
Taxan Vision-III RGB 12" 0.38P.: **1528,-**
ADI DMC1490 RGB 14" 0.31Pixel: **1598,-**
128K RAM Erweiterung für GENIE-16, MBC-550, M-24: **498,-**
10MB Festplatte mit Controller für IBM-PC und kompatibel: **4998,-**

CP/M SOFTWARE

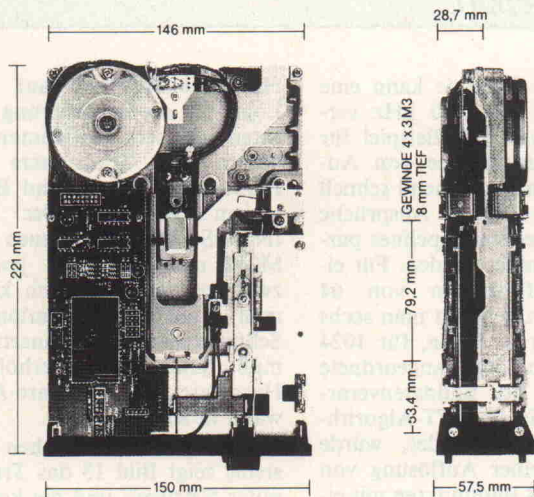
Softwareliste (CP/M - CDOS - Cromix) 3/84

Software	Manual	Komplett
Nevada COBOL Compiler	DM 29.-	DM 129.-
Nevada FORTRAN Compiler	DM 29.-	DM 129.-
Nevada PILOT Interpreter	DM 29.-	DM 129.-
Nevada BASIC Interpreter	DM 29.-	DM 129.-
Nevada EDIT Editor	DM 29.-	DM 129.-
Nevada Pascal Compiler	DM 29.-	DM 129.-
C/80 Compiler		DM 189.-
C/80 MathPak (Long/Float C/80)		DM 99.-
LISP/80 Interpreter		DM 189.-
RATFOR/80 FORTRAN preprocessor		DM 189.-
ZENCALC/80 Spreadsheet		DM 189.-H
MYCALC/80 Spreadsheet		DM 199.-
JRT Pascal 3.0 Compiler		DM 199.-
Epic Supervyz (Menue System)		DM 299.-
Clip (Unix-Shell für CP/M)		DM 199.-Z
Clip-Tools (Unix-Utilities)		DM 99.-Z
Clip-Crypt		DM 99.-Z
M/PC CP/M 2.2 Source Generator		DM 199.-
CP/M User Group Diskette/Vol.		DM 22.80
SIGM User Group Diskette/Vol.		DM 22.80
TDRIVE Ram-Disk driver f. CDOS	DM 19.-	DM 249.-C
TSPool Ram-Printer-Spooler CDOS	DM 19.-	DM 99.-C
TCPM-C (Netzplan/SBASIC)	DM 19.-	DM 99.-C
TCPM (Netzplan/MBASIC)	DM 19.-	DM 99.-
TURBO-Pascal		DM 219.-

Lieferung ab Lager bzw. je nach Diskettenformat innerhalb zwei bis vier Wochen. AOl-Preise inkl. Mehrwertsteuer, Porto u. Verpackung! Alle vorherigen Listen verlieren ihre Gültigkeit. (Z=benötigt Z80 CPU, C=benötigt CDOS Betriebssystem, CX=benötigt Cromix Betriebssystem, H=benötigt Heath H 19 oder kompatibles Terminal).

TESCO GmbH
P.O. Box 10

West Germany
8714 Wiesenthed
Tel.: 093 83/12 37



BASF 6238 Mini Disk Speicher

NEU

BASF 6128	1/2 x 5,25", DS, 40 Spuren, bei DD Kapazität 500 KB unformatiert	535,00 DM
BASF 6138	1/2 x 5,25", DS, 80 Spuren, bei DD Kapazität 1 MByte unformatiert	595,00 DM
NEU BASF 6238	2 x 1,0 MByte 5,25" Doppel-Laufwerk mit gemeinsamen Direktantrieb und getrenntem Positioniersystem, Maße H x B x T = 57,5 x 150 x 221 mm	1150,00 DM
BASF 6106	5,25", SS, 40 Spuren, bei DD Kapazität 250 MByte unformatiert	380,00 DM
BASF 6105	1/2 x 8", DS, 77 Spuren, bei DD Kapazität 1,6 MByte unformatiert	1195,00 DM
TOSHIBA ND-04	1/2 x 5,25", DS, 40 Spuren, DD Kapazität unformatiert = 500 KByte	625,00 DM
TOSHIBA ND-06	1/2 x 5,25", DS, 80 Spuren, DD Kapazität unformatiert = 1,0 MByte	678,00 DM
TOSHIBA ND-08	1/2 x 5,25" (8" kompatibel), DD Kapazität unformatiert = 1,6 MByte	885,00 DM
TEAC 55-F	1/2 x 5,25", DS, 80 Spuren, bei DD Kapazität 1,0 MByte unformatiert	680,00 DM

Winchester Laufwerke

BASF 6188	1/2 x 5,25", Kapazität unformatiert 15 MByte (Buffered Step Mode)	1998,00 DM
BASF 6185	5,25", Kapazität unformatiert 27,5 MByte (Buffered Step Mode)	2778,00 DM

Winchester Laufwerk BASF 6188 anschlussfertig für APPLE II und kompatibel

(Gehäuse, Controller, Winchester, Netzteil und Software zum Überspielen der Betriebssysteme (DOS 3.3, CP/M 2.2, PASCAL) von Diskette (35 Spuren auf die Winchester) **3990,00 DM**

Mini Digital-Multimeter DM - 1350

- ★ 12 Meßbereiche für Gleichspannung, Wechselspannung und Widerstand.
- ★ Summer für Durchgangstest.
- ★ Automatische Bereichsumschaltung
- ★ 3,5stellige LCD-Anzeige
- ★ Halten der Anzeige durch Tastendruck
- ★ Nullpunktgleich und Polaritätumschaltung automatisch

Preis **175,00 DM**

Reparaturpreis für ein Floppy-Disk-Laufwerk oder Z80 Computer-Karten = 1 Std. = 80 DM + Ersatzteile

Auf schriftliche Anforderung wird eine Händlerpreisliste herausgegeben.

Alle angegebenen Preise inklusive Mehrwertsteuer und Versandkosten.

Bei Versand gegen Vorkasse -2% Rabatt.

Gerhard Siemens Micro-Computer Service
Kruppstraße 55, 7000 Stuttgart 30, Tel. (07 11) 8590 88

Solch eine Pipeline kann eine Abtaste von 100 kHz verkraften, was zum Beispiel für eine Echtzeitanalyse von Audiosignalen hinreichend schnell wäre. Für höhere Ansprüche müßten mehrere Pipelines parallel verwendet werden. Für eine Transformation von 64 Meßwerten benötigt man sechs Transputer in Reihe, für 1024 Punkte zehn linear angeordnete Chips. In der Bilddatenverarbeitung, die den FFT-Algorithmus auch verwendet, würde man bei einer Auflösung von 1024 x 1024 Bildpunkten mit einem quadratischen Feld von 10 x 10 Transputern minimale Verarbeitungszeiten erreichen. Auch adaptive Filterung von schnellen Signalen in Echtzeit liegt damit im Bereich des Möglichen.

Datenbanksysteme müssen eine große Anzahl gleichzeitiger Suchvorgänge erlauben, ohne daß die Antwortzeiten mit der Anzahl der Anfragen anwachsen. Verteilt man die Suchindices der Datenbank auf die Speicherbereiche von mehreren Transputern, ist der Vorteil, den die Transputer bieten, sofort zu erkennen. Alle aktuellen Anfragen, die nicht auf dieselben Unterdateien führen, können als gleichzeitige Suchvorgänge auf dem Transputer-Netzwerk mit parallelen OCCAM-Prozessen ablaufen.

Die Struktur des Suchindex sollte sich in der Netzwerkstruktur widerspiegeln. So können auf einem baumförmigen Transputernetz zum Beispiel die Knoten eines Binärbaumes implementiert sein. Hinzu kommt dann noch, daß der interne Speicher (4 KByte) infolge der sehr hohen Verarbeitungsgeschwindigkeit von durchschnittlich 10 MIPS in einer Sekunde 1000mal durchsucht werden kann. Bei Einbeziehung von externem RAM verringert sich die Suchrate; immerhin werden 64 KByte trotzdem noch 30mal in der Sekunde durchsucht.

Aber auch 'ganz normale' Personal Computer lassen sich mit Transputern aufbauen, besonders einfach sogar, wenn die für Mitte nächsten Jahres angekündigten Transputer M212 und G213 zur Verfügung stehen. Der M212 ist ein Disk-Prozessor zur Ansteuerung von Plattenlaufwerken, der G213 ist ein Grafik-Prozessor. Durch diese beiden 16-Bit-Peripherie-Transputer verringert sich der

Hardware-Aufwand auf die Logik für die Ansteuerung des Internspeichers. Die Kommunikation eines Transputers mit Plattenspeichergerät und Bildschirm verläuft über die INMOS-Links, von denen der M212 und der G213 jeweils zwei besitzen. Natürlich kann man auch konventionelle Schnittstellenchips einsetzen, muß dann jedoch erhöhten Hardware- und Software-Aufwand in Kauf nehmen.

Als Beispiel eines solchen Systems zeigt Bild 13 das Transputer-Netzwerk und die korrespondierende Prozeßstruktur für einen schnellen Compiler-Rechner mit fünf Transputern. Ein Compiler ist ein Programm, das den Quelltext eines Programms, formuliert in einer problemorientierten Sprache wie zum Beispiel Pascal oder COBOL, in eine Zwischensprache oder direkt in eine Maschinensprache übersetzt. Die Übersetzungsaufgabe kann in folgende vier Prozesse gegliedert werden:

Lexikalische Analyse (Scanning)

Erkennung von Schlüsselwörtern, Variablennamen und Begrenzern (Zeichenebene)

Syntaxanalyse

grammatikalische Kontrolle des Quelltextes

Semantikanalyse

Kontrolle der Bedeutung der Anweisungsfolgen

Kodegenerierung

Programmaufbau aus den Elementen der Zielsprache

Der Scanner-Prozessor, Transputer T1, liest durch den SCANNER-Prozeß P1 gesteuert den Quelltext entweder vom Kanal MQUELLTEXT (Memory) oder IQUELLTEXT (INMOS-Link) ein und analysiert ihn zeichenweise. Sobald er ein Element (Token, Atom) der zugrundeliegenden Quellsprache entdeckt hat, reicht er es durch den Kanal TOKEN-STRING (INMOS-Link) an den SYNTAX-Prozeß P2 weiter, der den Transputer T2 kontrolliert. Gleichzeitig wird jedes gelesene Zeichen über den Kanal LISTE an den AUSGABE-Prozeß P5 (in T5) weitergeleitet.

Entdeckt der SCANNER einen Fehler, so transportiert er Art und Ort des Fehlers mit Hilfe des Kanals LISTE ebenfalls

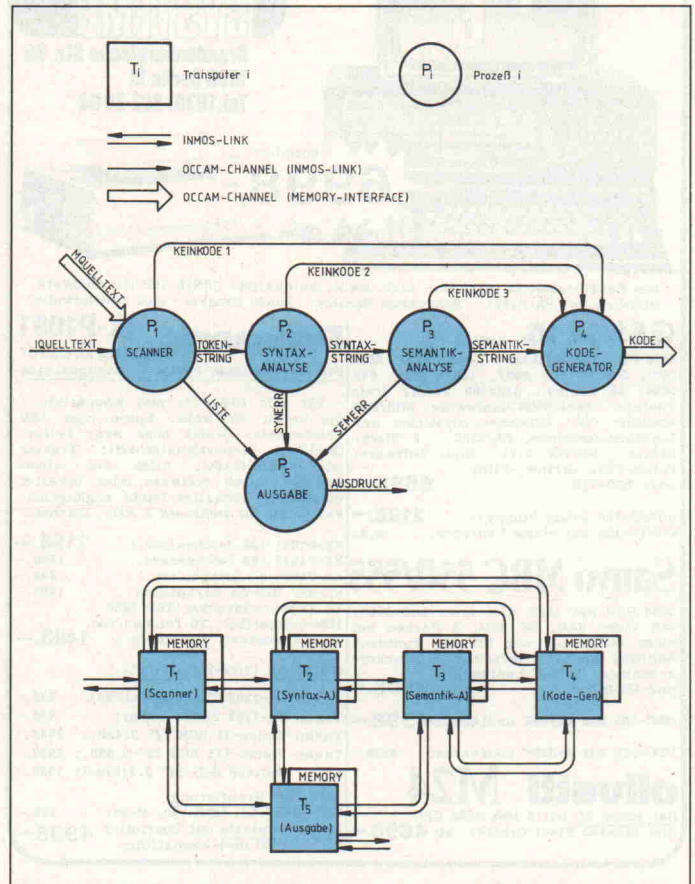


Bild 13. Transputer-Netzwerk und darüber verteilte Prozeßstruktur für einen Compiler-Rechner

nach AUSGABE. Auch die Prozesse SYNTAXANALYSE und SEMANTIKANALYSE besitzen je einen Fehlerkanal (SYNERR und SEMERR) nach AUSGABE. Mittels KEINKODE1 informiert der SCANNER den KODEGENERATOR-Prozeß (in T4) über einen aufgetretenen Fehler, so daß dieser keinen Zielcode mehr erzeugt. Den gleichen Zweck erfüllen natürlich die Kanäle KEINKODE2 und KEINKODE3.

Der Prozeß SYNTAXANALYSE übermittelt seine Ergebnisse auf dem Kanal SYNTAX-STRING an den Prozeß SEMANTIKANALYSE auf Transputer T3. Von dort werden die Verarbeitungsergebnisse über SEMANTIKSTRING an den KODEGENERATOR geliefert. Das fertig übersetzte Programm wird dann durch den Kanal KODE in den Arbeitsspeicher transportiert. Durch die Verteilung dieser fünf Teilaufgaben auf fünf verschiedene Prozessoren (T1 bis T5 im oberen Bildteil) können diese Teilprozesse eines Compilers quasi gleichzeitig (Pipe-

Lining) nebeneinander ablaufen. Daraus resultiert ein erheblicher Geschwindigkeitszuwachs. Durch Erweiterung am Anfang mit einem Transputer für Quelltext-Editierung und am Ende durch einen Transputer für die Ausführung des erzeugten Programms ist dieser Compiler-Rechner zu einem Software-Entwicklungs-System ausbaubar.

Mit den Transputern dringen die Mikroprozessoren nun tatsächlich weit in den Leistungsbereich der Minicomputer, ja sogar in die Domäne der Mainframes vor. Es ist abzusehen, wann die ersten Arbeitsplatz-Computer mit Mini-Fähigkeiten auf dem Markt erscheinen werden. Die Auswirkungen auf Anwendungsbereiche wie CAD/CAM, Datenbanksysteme, Prozeß- und Kommunikationstechnik werden erheblich sein. Manche Hersteller, die glaubten, sich in diesen Markt-bereichen eine krisenfesteste Position erkämpft zu haben, werden in den gleichen Kampf um Marktanteile verwickelt, wie er heute auf dem PC-Markt herrscht. □